

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-303115

(43)Date of publication of application : 16.11.1993

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 27/12
H01L 29/784

(21)Application number : 04-107712

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.04.1992

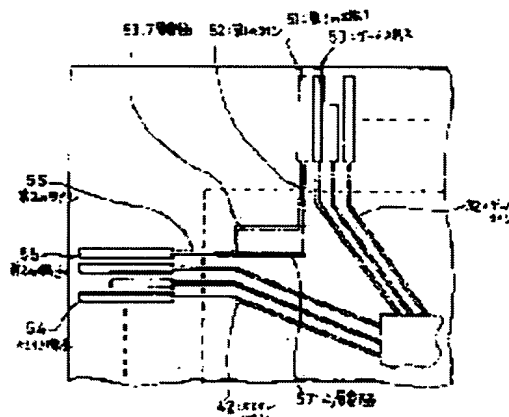
(72)Inventor : NISHIKAWA RYUJI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent a display defect due to electrostatic discharge which is easily caused between terminal edges of a liquid crystal panel.

CONSTITUTION: In a corner part of a glass substrate, a 1st terminal 51 is provided next to the outermost gate terminal 50, and a 2nd terminal 55 is provided next to the outermost drain terminal 54 sharing the corner part. At the 1st and 2nd terminals, the lower layer electrode 53 and upper layer electrode 57 of a capacitor are formed in the same processes with gate lines 32 and drain lines 42 respectively, and a gate insulating film material is provided as a dielectric between them to provide a capacitor for surge absorption.



LEGAL STATUS

[Date of request for examination] 26.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3054491

[Date of registration] 07.04.2000

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-303115

(43) 公開日 平成5年(1993)11月16日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|---------------|-----------------|
| G 0 2 F 1/136 | 5 0 0 | 9018-2K | | |
| 1/1343 | | 9018-2K | | |
| H 0 1 L 27/12 | A | | | |
| 29/784 | | 9056-4M | | |
| | | | H 0 1 L 29/78 | 3 1 1 A |
| | | | 審査請求 未請求 | 請求項の数 2 (全 6 頁) |

(21) 出願番号 特願平4-107712

(22) 出願日 平成4年(1992)4月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 西川 龍司

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

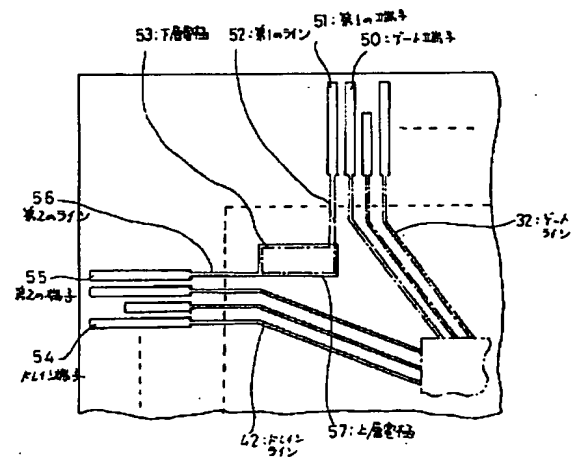
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 液晶パネルの端子エッジ間に発生し易い静電気放電による表示不良を防止することを目的とする。

【構成】 ガラス基板(30)の角部、一番外側のゲート端子(50)の隣に第1の端子(51)を設け、この角部を一緒に共有する一番外側のドレイン端子(54)の隣に第2の端子(55)を設ける。この第1及び第2の端子は、それぞれゲートライン(32)と同一工程、ドレインライン(42)と同一工程でコンデンサの下層電極(53)、上層電極(57)を形成し、この間にはゲート絶縁膜材料を誘電体として設けて、サージ吸収用のコンデンサを設ける。



【特許請求の範囲】

【請求項1】 透明な絶縁性基板の一侧辺に設けられたアドレス端子群と、この一侧辺と角部を共通にした他側辺に設けられたデータ端子群と、このアドレス端子およびデータ端子と電気的に接続されるスイッチング素子と、このスイッチング素子と電気的に接続された表示電極とを有する液晶表示装置に於て、前記角部に接した一番外側のアドレス端子とデータ端子との間には、前記スイッチング素子の一構成である絶縁膜を誘電体層としたサージ吸収用のコンデンサが設けられることを特徴とした液晶表示装置。

【請求項2】 透明な絶縁性基板上に形成されたゲートと一体のゲートラインと、このゲートラインを含む前記基板全面に形成されたゲート絶縁膜と、前記ゲートを一構成とするTFTの半導体領域およびコンタクト領域となるノンドープの第1の非単結晶シリコン膜および高濃度にドーパされたN⁺型の第2の非単結晶シリコン膜と、このTFTの近傍に形成された透明電極材料より成る表示電極と、前記TFTのソースに対応する前記第2の非単結晶シリコン膜と前記表示電極とを電気的に接続するソース電極と、前記TFTのドレインに対応する前記第2の非単結晶シリコン膜から延在されるドレイン電極およびこれと一体のドレインラインとを少なくとも有する液晶表示装置に於て、

前記ゲートラインと電気的に接続されたゲート端子群の外側には、このゲート端子と同一工程で成る第1の端子が設けられ、前記ドレインラインと電気的に接続されたドレイン端子群の外側には、このドレイン端子と同一工程で成る第2の端子が設けられ、前記第1の端子は、前記ゲートラインと同一工程で成るラインと一体で容量の下層電極となり、前記第2の端子は、前記ドレインラインと同一工程で成るラインと一体で容量の上層電極となり、この上層電極と下層電極で成る容量でサージを吸収することを特徴とした液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置に関し、特に端子エッジに発生する静電気放電による表示不良を防止した液晶表示装置に関するものである。

【0002】

【従来の技術】 液晶ディスプレイの画面が大きくなり、画素数が多くなると、欠陥の増大による歩留まり低下が問題となる。この対策として冗長構造の採用がある。例えばこの例として、日経BP社発行の「フラットディスプレイ1991」第105頁からには、やむなく使う冗長構成の説明がされてある。

【0003】 例えば1つの画素（例えばスイッチング素子と表示電極を1組とした1セル）に対して更にもう1つのTFTを設け、TFT不良による点欠陥を防止したものや予備ラインを設けて、ラインが断線した時にこの

予備ラインを介して断線を救済するものがある。また本発明のテーマとして以下述べてゆくが、作業や製造装置に保持されている静電気が、端子エッジに発生し易いために、特にマトリクス状に配置された画素群の一番外側に設けられた画素が、この静電気放電により表示不良を発生する。このために、この一番外側の更に外側にダミー画素を設けていた。

【0004】 図4は、その概略図であり、縦方向に交互に延在されているのが、ガラス基板(1)の上に形成されているゲートと一体のゲートライン(2)である。また横方向に交互に延在されているのが、TFTのドレインからゲート絶縁膜上を延在されているドレインライン(3)である。またこのゲートライン(2)とドレインライン(3)には夫々ゲート端子(4)およびドレイン端子(5)が、例えばTABを接続するために表面が露出されている。

【0005】 また図4の画素領域の一番外側に○印で配置されているものが、ダミー画素(6)であり、静電気放電が発生してもダミー画素のみが破壊するだけで本来の画素が保護できるようになっている。ここで長い端子と若干短い端子が設けてあるが、長い方が本来の端子であり、短い方は、ライン検査を目的として設けたものである。

【0006】

【発明が解決しようとする課題】 前述のように、製造工程において、どうしても静電気放電が、絶縁性基板(1)の角部に発生しやすく、特に上または下に設けられたゲート端子群の一番左または右側のゲート端子、右または左に設けられたドレイン端子群の一番上または下側のドレイン端子に発生しやすい。前述したようにダミー画素で保護できればよいが、このダミー画素だけでは保護できず、本来の画素が破壊されたり、画素内のTFTが破壊しないまでも、スレッショルド電圧 V_{th} がずれたりして、ライン欠陥を発生する問題があった。

【0007】

【課題を解決するための手段】 本発明は前述の課題に鑑みて成され、第1に透明な絶縁性基板の角部に接した一番外側のアドレス端子とデータ端子との間に、前記スイッチング素子の一構成である絶縁膜を誘電体層としたサージ吸収用のコンデンサを設けることで解決するものである。

【0008】 第2に、ゲートラインと電気的に接続されたゲート端子群の外側に、このゲート端子と同一工程で成る第1の端子を設け、ドレインラインと電気的に接続されたドレイン端子群の外側に、このドレイン端子と同一工程で成る第2の端子を設け、前記第1の端子は、前記ゲートラインと同一工程で成るラインと一体で容量の下層電極とし、前記第2の端子は、前記ドレインラインと同一工程で成るラインと一体で容量の上層電極とし、この上層電極と下層電極で成る容量でサージを吸収する

3

ことで解決するものである。

【0009】

【作用】スイッチング素子、例えばTFTやMIMは、構成として絶縁膜が設けられている。a-Siやp-Siを使った逆スタガー型のトランジスタでは、ゲート絶縁膜、p-Siを使ったスタガー型のトランジスタでは、ゲート電極とソース電極の間に設けられた絶縁膜をコンデンサの誘電体層として構成とし、角部に接した一番外側のアドレス端子とデータ端子の間にコンデンサを設けることができる。従って一番静電気放電し易い角部に、コンデンサを設けることで、画素領域にこの静電気を流すことなく、このコンデンサを介して吸収できる。従ってライン欠陥を防止できる。

【0010】第2に逆スタガー型のTFTは、ゲート電極と半導体層の間にゲート絶縁膜を設けている。従ってゲート絶縁膜の下層に設けられているゲート電極またはゲートラインと同一工程で、静電気吸収用のコンデンサの下層電極が設けられ、ゲート絶縁膜の上層に設けられるドレイン電極またはドレインラインと同一工程で、前記コンデンサの上層電極が設けられる。この上および下層の電極を、ドレインラインおよびゲートラインと電気的に絶縁し、上および下層の電極を角部の一番外側の端子（例えば図4の左側辺の一番上のドレイン端子および上側辺の一番左側のゲート端子）と電気的に接続すれば、一番放電しやすい角部に静電気吸収用のコンデンサを設けることができる。従って一番静電気放電し易い角部に、コンデンサを設けることで、画素領域にこの静電気を流すことなく、このコンデンサを介して吸収できる。従ってライン欠陥を防止できる。

【0011】

【実施例】以下に本発明の実施例を説明する。本発明は、例えばアクティブマトリックス型液晶表示装置に有効である。理由は、TFTでもMIMでも一構成として絶縁層があり、この絶縁層の下層および上層に電極材料が設けられているので、この工程を利用すれば工程数を増加することなく静電気吸収用のコンデンサを設けることができる。当然単純マトリックス型の液晶表示装置でも可能であるが、この場合アクティブマトリックス型と比べて構成が少ないため工程を増加すれば可能である。基本的には、一方の基板には、平行な複数本の第1ライン群があり、他方の基板には前記第1ラインと交差する平行な複数本の第2ライン群があるだけである。従ってどちらの基板に設けてもよいが、ライン群をコンデンサの上層または下層電極とすると残りの構成のために工程を増加する必要がある。

【0012】以上、どちらにおいても図5のような概略構成を有することになる。以下詳細なa-Siを使用した逆スタガー型トランジスタを説明する前に、簡単にp-Siのスタガー型トランジスタおよびMIMを採用した液晶表示装置で説明してゆく。一般にp-Siを採用

4

したスタガー型トランジスタは、図6に示すように、透明な絶縁性基板(10)に半導体層となるp-Si(11)が設けられ、この上には第1の絶縁膜(12)が覆われている。この上にはp-Siで成るゲート(13)が設けられ、ゲートを覆うように第2の絶縁膜(14)が設けられている。前記第2の絶縁膜は、ソース及びドレイン領域に対応する領域にコンタクトホールが設けられ、表示電極(15)と電気的に接続されたソース電極(16)およびドレイン電極(17)が設けられている。ここで下層電極は、ゲート電極と同一工程で、図5の角部に設けられ、第2の絶縁膜をコンデンサの誘電体層として設け、上層にはソースまたはドレイン電極と同一工程で設けられた上層電極が前記角部に設けられる。

【0013】次にMIM構造の代表例を図7を使って説明する。透明な絶縁性基板(20)の上には、Ta電極(21)および透明電極材料より成る表示電極(22)が設けられている。Ta電極(21)の表面には、例えば陽極酸化により形成されたTa₂O₅より成る絶縁膜(23)が設けられ、この上には例えばCr電極(24)が表示電極(22)まで延在されている。従ってコンデンサの下層電極は、Ta電極(21)と同一工程で達成でき、絶縁膜(23)を介してCr電極(24)が上層電極として達成できる。従って工程の増加もなく前記角部に静電気吸収用のコンデンサが形成できる。

【0014】続いて、逆スタガー型のa-Siトランジスタを採用した液晶表示装置を図8を参照しながら具体的に説明してゆく。まず、透明な絶縁性基板(30)上に形成されたゲート(31)、およびこのゲート(31)と一体で形成された複数本のゲートライン(32)と、このゲートライン(32)と離間して形成された補助容量電極(33)、およびこの補助容量電極と一体で形成された補助容量ライン(34)と、実質的に前記絶縁性基板(30)の全面に形成されたゲート絶縁膜(35)がある。特に補助容量は、図5に於ては省略してある。

【0015】透明な絶縁性基板(30)は、例えばガラスより成る。このガラス基板(30)上には、図5のように、ゲート(31)と一体のゲートライン(32)が上下に平行に延在されており、ゲート(31)は、ゲートライン(32)より突出しても、ゲートライン(32)の一部として形成されてもよい。また補助容量電極(33)およびこの電極と一体で成る補助容量ライン(34)もゲートライン(32)と平行に延在されている。またこの両電極は、例えばCrやAl材料、またTa、Ta-Mo、Cr-Cu等でも良い。ここではゲートラインと補助容量ラインは、同一工程で形成されるので、ゲートライン(32)と補助容量ライン(34)は、例えば約1500ÅのCrより形成される。またゲート(31)、ゲートライン(32)、補助容量電極(33)および補助容量ライン(34)を覆う第1のゲ

5

ート絶縁膜(35)は、プラズマCVD法で形成された約3000ÅのSiNx膜である。ここでは、SiNx膜の代りにSiO₂膜を使用しても良いし、この2つの膜を2層にしても良い。またSiNx膜やSiO₂膜を単独で使う場合、成膜工程を2工程に分け、2層構造としても良い。特に2層構造の時は、上層を後述の表示電極上へ延在させている。

【0016】次に、ITOより成る表示電極(36)が設けられ、ゲート(31)を一構成とするTFTの活性領域に、順次積層されたノンドープの第1の非単結晶シリコン層(37)、半導体保護膜(38)、およびN⁺型にドーパされた第2の非単結晶シリコン層(39)と、このソース領域に対応する第2の非単結晶シリコン層(39)および表示電極(36)と電気的に接続するソース電極(40)と、前記ドレイン領域に対応する第2の非単結晶シリコン層(39)と電気的に接続したドレイン電極(41)と一体で延在されたドレインライン(42)がある。

【0017】TFTに対応する第1のゲート絶縁膜(35)上には、ノンドープのアモルファス・シリコン活性層(a-Si層)(37)およびN⁺型のアモルファス・シリコンコンタクト層(N⁺a-Si層)(39)が積層され、チャンネルに対応するa-Si層(37)とN⁺a-Si層(39)との間には、SiNxより成る半導体保護膜(38)が設けられている。ドレイン電極(41)は、ドレインラインと一体で、ソース電極(40)は、表示電極(36)とコンタクトし、両者とも同一材料で形成されている。ここでは例えば、MO、Alが積層されている。また表示電極(36)の上にゲート絶縁膜が延在されている場合は、コンタクトホールが形成され、これを介して接続されている。

【0018】以下は図示していないが上層には、パシベーション膜が設けられたり(省略してもよい。)して、例えばポリイミド等から成る配向膜が設けられている。一方、ガラス基板(30)と対を成す対向ガラス基板が設けられ、この対向ガラス基板には、TFTと対応する位置に遮光膜が設けられ、対向電極が設けられる。更には、前述の配向膜が設けられる。

【0019】更には、この一対のガラス基板間にスペーサが設けられ、周辺を封着材で封着し、注入孔より液晶が注入されて本装置が得られる。ここでは半導体層としてa-Siを用いたが、代わりにp-Siを用いてもよい。本発明の特徴とする所は、図5に示すように、透明な絶縁性基板(30)の角部にコンデンサを設けた点にある。この具体的構造を示したものの(左上の角部を拡大したもの)が図1である。図1の右下に一点鎖線示した領域が、表示領域である。

【0020】この表示領域から上方に延在されているラインがゲートライン(32)であり、このライン(32)とゲート端子(50)が電気的に接続されている。

6

ゲートラインは、図8からも判るように、ゲート絶縁膜(35)の下層に設けてあるので、例えば図1に示した×印に上層へ抜けるスルーホールを設ける必要がある。この断面を示したものが図3であり、ゲート端子(50)はゲート絶縁膜(35)上に設けてある。また一番左のゲート端子の隣に設けられた第1の端子(51)は、前記ゲート端子と同様の構成で、第1の端子とゲート端子、ゲートライン(32)と第1のライン(52)はそれぞれ同一の工程で形成されている。また第1のライン(52)は、非表示領域(端子やラインが設けられていない角部)でサージ吸収用のコンデンサの下層電極(53)となる。

【0021】また表示領域から左方に延在されているラインがドレインライン(42)であり、このライン(42)とドレイン端子(54)が電気的に接続されている。ドレインラインは、図8からも判るように、ゲート絶縁膜(35)の上層にあるので、図1に示した×印のスルーホールは不要である。この断面を示したものが図2であり、ドレイン端子(54)はゲート絶縁膜(35)上に設けてある。また一番上のゲート端子の隣に設けられた第2の端子(55)は、前記ドレイン端子と同様の構成で、第2の端子とドレイン端子、ドレインライン(42)と第2のライン(56)はそれぞれ同一の工程で形成されている。また第2のライン(56)は、非表示領域(端子やラインが設けられていない角部)でサージ吸収用のコンデンサの上層電極(57)となる。

【0022】図1に示すコンデンサは、ゲートラインと同一工程で形成された下層電極、ゲート絶縁膜およびドレインラインと同一工程で形成された上層電極でなる。また静電気放電しやすい角部、特にゲートラインと電気的に接続されたゲート端子群の左外側に、ドレインラインと電気的に接続されたドレイン端子群の上側に、第1および第2の端子が設けられているため、この2つの端子(51)、(55)を介したコンデンサを介して、静電気が一番流れやすい。従って画素領域のTFTに静電気が流れ込まずV_{th}の変化によるライン欠陥の発生を防止できる。

【0023】またこのコンデンサは、端子ブロック毎、つまりゲート端子群が2つ或る場合は、この間に設けてもよいし、ドレイン端子群が2つあればこの間に設けてもよい。

【0024】

【発明の効果】以上の説明からも明らかなとおり、第1に特にアクティブマトリックス型の液晶表示装置では、スイッチング素子は、絶縁層を介して上層および下層に電極が形成されているので、これらを活用して絶縁性基板の角部にコンデンサを設けることができる。また角部の一番放電しやすい部分、つまり角部の端子が形成されていないスペース領域と接した領域に、このコンデンサの上層および下層電極と電気的に接続された端子が設け

7

であるので、大きな確率で静電気放電によるサージを吸収できる。

【0025】第2にa-Siまたはp-Siを用いた逆スタガー型トランジスタを用いた液晶表示装置においても、前述した第1の効果と同様に角部にコンデンサが設けられるため、静電気放電を効率よく吸収できる。また下層電極は、ゲートラインと同一工程、上層電極は、ドレインラインと同一工程および誘電体層はゲート絶縁膜と同一工程で形成できるので、何ら工程を付加することなく実現できる。

【0026】またこのコンデンサは、表示領域以外、特に端子が形成されていないスペース領域に形成できるので、表示領域を狭くしたりすることがなく達成できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の角部を示す平面図である。

【図2】図1の第2のラインに沿った断面図である。

【図3】図1の第1のラインに沿った断面図である。

【図4】従来の液晶表示装置の概略平面図である。

8

【図5】本発明の液晶表示装置の概略平面図である。

【図6】スタガー型のp-Si TFTの断面図である。

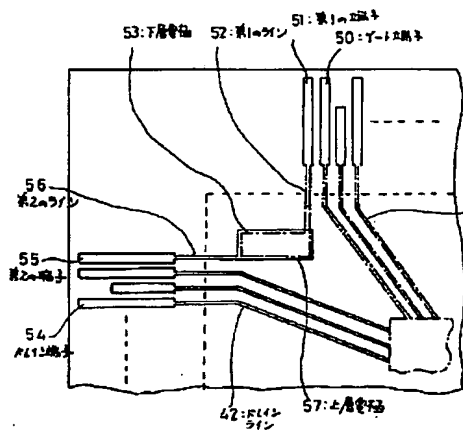
【図7】MIMの断面図である。

【図8】逆スタガー型のa-Si TFTの断面図である。

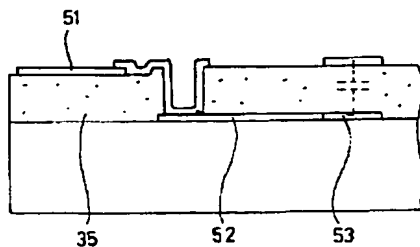
【符号の説明】

- (30) 透明な絶縁性基板
- (31) ゲート
- (32) ゲートライン
- (36) 表示電極
- (37) 第1の非単結晶シリコン膜
- (39) 第2の非単結晶シリコン膜
- (40) ソース電極
- (41) ドレイン電極
- (42) ドレインライン
- (51) 第1の端子
- (52) 第1のライン
- (55) 第2の端子
- (56) 第2のライン

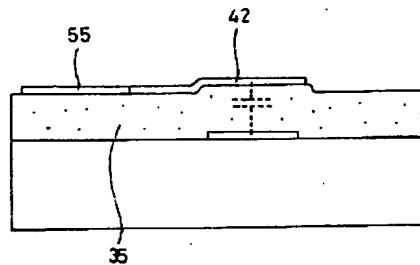
【図1】



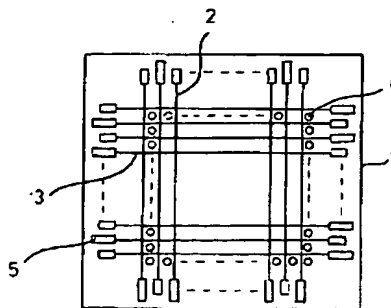
【図3】



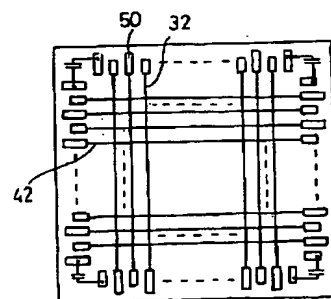
【図2】



【図4】



【図5】



【图7】

